Taller 2

Alejandro Mejía Ortíz   
Departamento de Automática y Electrónica, Facultad de ingeniería  
Universidad Autónoma de OccidenteColombia  
alejandro.mejia\_ort@uao.edu.co

Nombre   
Departamento de Automática y Electrónica, Facultad de ingeniería  
Universidad Autónoma de OccidenteColombia  
Correo

*Abstract*—

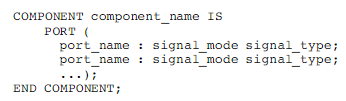
# Introducción

# Desarrollo

## Estructuras en la descripción estructural

El estilo estructural VHDL describe la interconexión de componentes dentro de una arquitectura. En una arquitectura estructural, se declaran los componentes que se utilizarán y a continuación, las instancias de componentes creados con asignaciones particulares de cables de señal a los diversos pines de componentes. Las estructuras que son utilizadas en la descripción estructural son las siguientes:

**COMPONENT**: Cuando se declara un COMPONENT, este se puede usar en otro circuito. Un COMPONENT también es otra forma de crear particiones en un código, proporcionar código compartido y reutilizar parte del código.  La declaración de COMPONENT se realiza en la parte declarativa de la arquitectura del módulo. Para utilizar un COMPONENT, primero tiene que ser declarado:



1. Sintaxis de COMPONENT.

Se deben especificar los nombres de los puertos, junto con sus modos (IN, OUT, BUFFER o INOUT) y tipos de datos (STD\_LOGIC\_VECTOR, INTEGER, BOOLEAN, etc.)

**PORT MAP**: La estructura PORT MAP se utiliza para asignar todos los puertos de un COMPONENT. Hay dos formas de señalar los PORT de un componente mapeo nominal y mapeo posicional.

En el mapeo posicional el orden en la estructura PORT MAP debe coincidir con los puertos que fueron declarados en COMPONENT.



1. Uso del PORT MAP utilizando asignación posicional.

En el mapeo nominal se define a que señal pertenece cada una de los puertos que se definieron en COMPONENT, el mapeo posicional más fácil de escribir sin embargo el mapeo nominal es menos propenso a errores.



1. Uso del PORT MAP utilizando asignación nominal.

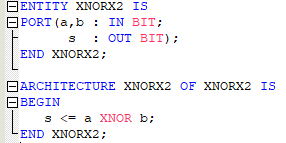
## Circuito de compuertas

El diagrama del circuito que se elaboró fue el siguiente con la descripción estructural, incluyendo las compuertas externamente para obtener la salida deseada.

Imagen

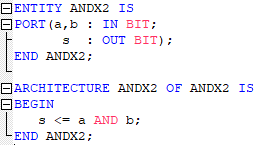
1. Circuito construido con compuertas lógicas.

La compuerta XNOR se construyó con el siguiente código para ser utilizada en el circuito original.



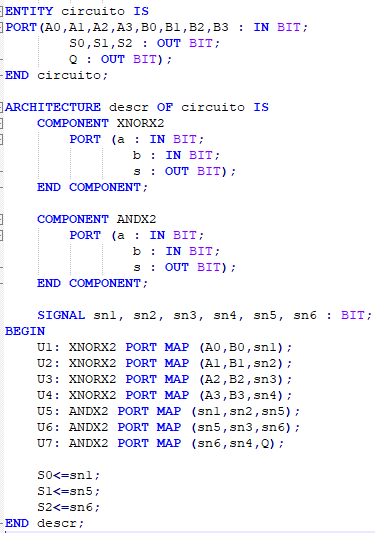
1. Diseño del componente XNORX2 (compuerta de dos entradas).

La compuerta AND se construyó con el siguiente código para que también fuera utilizada en el código principal.



1. Diseño del componente ANDX2 (dos entradas).

En el código VHDL final se asignan las salidas y las entradas como en el circuito con compuertas, en la parte declarativa de ARCHITECTURE se inicializan los componentes a utilizar (compuertas XNORX2 y ANDX2) con sus respectivos puertos y las señales auxiliares. Finalmente se hacen uso de los componentes declarados anteriormente para realizar las conexiones entre las compuertas y generar las salidas Q, S0, S1, y S2.

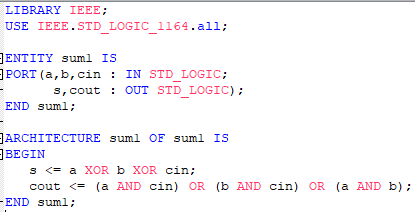


1. Circuito final con descripción estructural.

## Definicion de estructura FOR…GENERATE

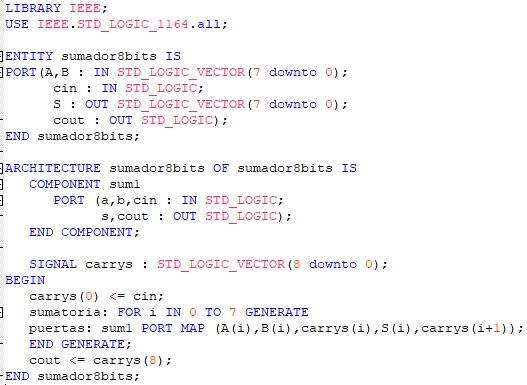
## Sumador completo de 8 bits

Para crear el sumador de 8 bits se utilizó como bloque principal un sumador completo de 1 bit que incluye ambos bits a operar, el carreo de entrada y el carreo de salida. Con esto se puede crear un sumador de n bits uniendo n sumadores de 1 bit. El bloque sumador se diseñó como aparece en la Figura 7 usando el elemento STD\_LOGIC reemplazando el bit.



1. Bloque general sumador de 1 bit.

Haciendo uso del bloque sumador de 1 bit y la estructura FOR… GENERATE se construyó el sumador de 8 bits presentado en la Figura 9.



1. Código del sumador completo de 8 bits.

# Conclusiones

-

-

# Anexos

Los códigos de los diseños mostrados en VHDL se encuentran anexados con su respectivo nombre.